

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-223564

(P2000-223564A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/762  
21/76

識別記号

F I

H 0 1 L 21/76

テマコード\* (参考)

D 5 F 0 3 2  
L

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号

特願平11-20983

(22) 出願日

平成11年1月29日 (1999.1.29)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山崎 武

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

Fターム(参考) 5F032 AA34 AA39 AA44 AA45 CA17

DA02 DA23 DA24 DA33 DA34

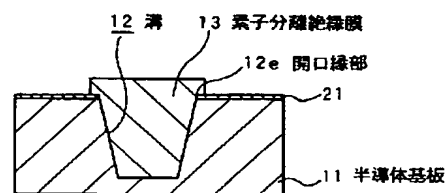
DA53 DA78

(54) 【発明の名称】 半導体装置の製造方法

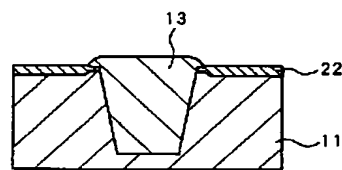
(57) 【要約】

【課題】 S T I のエッジ部分の素子分離絶縁膜が大きく後退しシリコン基板よりも落ち込むため、ゲート加工が困難となり、またキンクや逆狭チャネル効果による電気特性の劣化が起きるという課題を、プロセス付加を少なくして解決を図る。

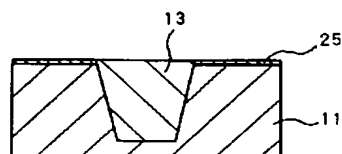
【解決手段】 半導体基板 1 1 に素子分離用の溝 1 2 を形成した後、その溝 1 2 の内部を埋め込むとともに溝 1 2 の開口縁部 1 2 e を覆いかつ半導体基板 1 1 の表面より高い状態に素子分離絶縁膜 1 3 を形成し、その後、半導体基板 1 1 の表面に形成したパッド酸化膜 2 1 や犠牲酸化膜 2 2 を除去する際に、素子分離絶縁膜 1 3 の上層もエッチング除去され、素子分離絶縁膜 1 3 とともに半導体基板 1 1 を平坦化する。



(1)



(2)



(3)

## 【特許請求の範囲】

【請求項 1】 半導体基板に素子分離用の溝を形成した後、該溝の内部を埋め込むとともに該溝の開口縁部を覆いかつ半導体基板面より高い状態に素子分離絶縁膜を形成する工程と、

前記半導体基板の表面に酸化膜を形成した後、該酸化膜とともに前記素子分離絶縁膜の上層をエッチング除去して、前記素子分離絶縁膜とともに前記半導体基板を平坦化する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 2】 前記半導体基板に素子分離用の溝を形成した後、該溝の内部を埋め込むとともに該溝の開口縁部を覆いかつ半導体基板面より高い状態に素子分離絶縁膜を形成する工程において、

前記半導体基板に素子分離用の溝を形成するために用いるマスクを形成した後、前記マスクを用いて前記半導体基板に素子分離用の溝を形成する工程と、

前記マスクの開口部を広げる工程と、

前記マスクの開口部とともに前記溝の内部を埋め込む前記素子分離絶縁膜を形成する工程とを備えたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記マスクの開口部を広げる工程は、前記溝の内壁に内壁酸化膜を形成した後に行うことを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記溝の開口縁部より該溝の外側方向に前記半導体基板表面を覆う前記素子分離絶縁膜の範囲 L は、

前記素子分離絶縁膜が形成される前に前記半導体基板に形成したパッド酸化膜の膜厚を  $t_1$  とし、

前記素子分離絶縁膜を形成した後に半導体基板の表面に形成したプレ酸化膜の膜厚を  $t_2$  とし、

$\alpha$  を係数として、

$$L = (t_1 + t_2) \alpha$$

で表すことを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、詳しくはトレンチ素子分離に係わる半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 STI (Shallow Trench Isolation) の従来の技術では、図 5 の (1) に示すように、シリコン基板 111 上にパッド酸化膜 121 を 10 nm ~ 20 nm 程度の厚さに形成し、さらに CVD 法によって、窒化シリコン膜 114 を 150 nm ~ 200 nm 程度の厚さに形成する。そしてレジスト塗布、リソグラフィ技術によりレジスト膜 (図示省略) でアクティブパターンを形成し、それをマスクに用いて窒化シリコン膜 114 をエッチングして開口部 115 を形成する。その際、パッ

ド酸化膜 121 もエッチングされる。その後、上記レジスト膜を除去する。

【0003】 次いで、図 5 の (2) に示すように、窒化シリコン膜 114 をマスクとして、シリコン基板 111 を 300 nm ~ 400 nm の深さにエッチングして溝 112 を形成する。続いて上記溝 112 の内壁を熱酸化化して、熱酸化膜 123 を形成する。

【0004】 さらに、図 5 の (3) に示すように、高密度プラズマ CVD 法により、高密度プラズマ CVD 膜

(以下 HDP 膜という) を堆積して素子分離絶縁膜 113 を溝 112 内部に埋め込むとともにシリコン基板 111 上にも堆積する。その後、図 5 の (4) に示すように、素子分離絶縁膜 113 の表面を例えば化学的機械研磨 (以下 CMP という) によって平坦にする。その後、窒化シリコン膜 114 を除去し、さらにパッド酸化膜 121、その後に形成される犠牲酸化膜等を除去して、素子分離絶縁膜 113 による素子分離が完成する。

## 【0005】

【発明が解決しようとする課題】 しかしながら、窒化シリコン膜を例えば熱リン酸を用いて除去した後、図 6 の (1) に示すパッド酸化膜 121 を希フッ酸を用いたウェットエッチングにより除去する、また図 6 の (2) に示すように、犠牲酸化膜 122 を形成した後、イオン注入等の処理を行い、その後、犠牲酸化膜 122 を希フッ酸を用いたウェットエッチングにより除去する。そして図 6 の (3) に示すように、シリコン基板 111 の表面にゲート酸化膜 125 を形成する。この工程まで、ウェットエッチングで用いた希フッ酸により素子分離絶縁膜 113 もエッチングされて後退していく。特に STI のエッジ部分の素子分離絶縁膜 113e の後退は大きく、素子分離絶縁膜 113 のエッジ部分がシリコン基板 111 よりも大きく落ち込んでしまう。

【0006】 そのため、ゲート加工が困難となったり、トランジスタの電気特性においてキンク [Kink (Hump)] や逆狭チャネル効果が見れることが知られている [IEEE Electron Dev., (1993) Andres Bryant et. al., IEDM Tech. Dige., (1995) A. H. Perera et. al., p679 参照]。この問題を回避するために、溝形状を 2 段階にエッチングする方法 [SSDM, (1995) B. H. Roh, et. al. 参照] や側壁にイオン注入する方法などが考えられている [IEEE Trans action on Electron Device, (1998) KIKUYO OHE et. al. 参照]。しかしながら、上記各方法ではプロセスが複雑になるという問題がある。

## 【0007】

【課題を解決するための手段】 本発明は、上記課題を解決するためになされた半導体装置の製造方法であって、半導体基板に素子分離用の溝を形成した後、該溝の内部を埋め込むとともに該溝の開口縁部を覆いかつ半導体基板面より高い状態に素子分離絶縁膜を形成する工程と、半導体基板の表面に酸化膜を形成した後、該酸化膜とと

## 3

もに素子分離絶縁膜の上層をエッチング除去して、素子分離絶縁膜とともに半導体基板を平坦化する工程とを備えている半導体装置の製造方法である。

【0008】上記半導体装置の製造方法では、溝を埋め込む状態にかつ溝の開口縁部を覆う状態に素子分離絶縁膜を形成した後、半導体基板に形成される酸化膜とともに素子分離絶縁膜の上層をエッチング除去することから、各酸化膜をエッチング除去する際には、溝の開口縁部は素子分離絶縁膜に被覆されているので、開口縁部近傍の溝内部の素子分離絶縁膜が過剰にエッチングされることはない。したがって、素子分離絶縁膜のエッジ部分がシリコン基板よりも大きく落ち込むことはない。

【0009】

【発明の実施の形態】本発明の半導体装置の製造方法に係わる第1の実施の形態を、図1の製造工程図によって説明する。

【0010】図1の(1)に示すように、半導体基板(例えばシリコン基板)11に、例えば、幅が240nm、深さが400nmの素子分離用の溝12を形成する。そしてこの溝12の内部を埋め込むとともにこの溝12の開口縁部12eを覆いかつ半導体基板11面より高い状態に素子分離絶縁膜13を、例えば酸化シリコン膜を例えば600nm程度の厚さに堆積して形成する。なお、上記半導体基板11の表面には、例えば10nm～20nm程度の厚さのパッド酸化膜21が形成されている。

【0011】その後、例えば希フッ酸で上記パッド酸化膜21および素子分離絶縁膜の上層をウェットエッチングして除去した後、図1の(2)に示すように、半導体基板11の表面に酸化膜として、例えばイオン注入を行うための犠牲酸化膜22を形成する。そして、その犠牲酸化膜22とともに素子分離絶縁膜13の上層を、上記同様に例えば希フッ酸を用いてウェットエッチングにより除去する。なお、図1の(2)には、犠牲酸化膜22を形成した状態を示した。その結果、図1の(3)に示すように、半導体基板11の表面にゲート酸化膜を形成して、素子分離絶縁膜13とともに半導体基板11の表面がほぼ平坦化される。

【0012】次に、第2の実施の形態として、上記溝12および素子分離絶縁膜13の形成方法の一例を図2の製造工程図によって説明する。図2では、前記図1によって説明したのと同様な構成部品には同一符号を付与する。

【0013】図2の(1)に示すように、半導体基板11に素子分離用の溝12を形成するために用いるマスク14を、例えば150nm～200nm程度の厚さ、ここでは200nmの厚さの窒化シリコン膜で形成する。なお、上記窒化シリコン膜を形成する前に、半導体基板11の表面には例えば10nm～20nm程度の厚さ、ここでは10nmの厚さのパッド酸化膜21を形成して

## 4

おく。また、上記マスク14は、酸化膜、シリコン基板等のエッチングに際しマスクとなる絶縁膜であれば、窒化シリコン膜に限定されることはない。その後、レジスト塗布によりマスク14の表面にレジスト膜(図示省略)を形成した後、リソグラフィ技術によって、そのレジスト膜の溝を形成する領域上に開口部(図示省略)を設ける。このようなレジスト膜をエッチングマスクに用いて上記マスク14に溝を形成するための開口部15を形成する。次いで、上記マスク14を用いて半導体基板11をエッチングして、素子分離用の溝12を形成する。

【0014】次に、図2の(2)に示すように、上記溝12の内壁に内壁酸化膜23を形成した後、上記マスク14の開口部15をエッチングにより外側方向に広げる。

【0015】次いで、図2の(3)に示すように、上記マスク14の開口部15とともに上記溝12の内部を埋め込む素子分離絶縁膜13を形成し、マスク14上の余分な素子分離絶縁膜13を、例えばエッチングやCMPによって除去する。その後、マスク14を除去する。なお、図2の(3)では、素子分離絶縁膜13を成膜した状態を示した。

【0016】上記素子分離絶縁膜13が上記溝12の開口縁部12eよりこの溝12の外側方向に半導体基板11の表面を覆う範囲Lは(1)式のように表される。なお、(1)式中、 $t_1$ は、素子分離絶縁膜13が形成される前に半導体基板11に形成されるパッド酸化膜21の膜厚とし、 $t_2$ は、素子分離絶縁膜13を形成した後に半導体基板11の表面に形成される犠牲酸化膜22の膜厚とし、 $\alpha$ は、各酸化膜を除去する際に用いる希フッ酸の濃度、エッチング時間等を考慮して、エッチングにより半導体基板11の表面と素子分離絶縁膜13の表面とが平坦になるように、適宜決定される係数である。

【0017】
$$L = (t_1 + t_2) \alpha \quad \cdots (1)$$

【0018】上記半導体装置の製造方法では、溝12を埋め込む状態にかつ溝12の開口縁部12eを覆う状態に素子分離絶縁膜13を形成した後、半導体基板11に形成されるパッド酸化膜21、犠牲酸化膜22等とともに素子分離絶縁膜13の上層をエッチングにより除去することから、各酸化膜をエッチング除去する際には、溝12の開口縁部12eは素子分離絶縁膜13に被覆されているので、開口縁部12eの近傍の溝12内の素子分離絶縁膜13が過剰にエッチングされることはない。

【0019】次に、上記実施の形態に示した製造方法により、トレンチ素子分離を形成する具体例を図3以下の製造工程図によって説明する。図3～図4では、前記図1、図2によって説明したのと同様な構成部品には同一符号を付与する。

【0020】図3の(1)に示すように、半導体基板11上にパッド酸化膜21を10nm～20nm程度、例

例えば10nmの厚さに形成する。さらにCVD法によってマスク14となる窒化シリコン膜を例えば150nm～200nm程度の厚さ、例えば150nmの厚さに形成する。

【0021】さらに図3の(2)に示すように、レジスト塗布、リソグラフィ技術によりレジスト膜(図示省略)でアクティブパターンを形成し、それをエッチングマスクに用いてマスク14およびパッド酸化膜21をエッチングし、開口部15を形成する。その後、上記レジスト膜を除去する。

【0022】次いで、図3の(3)に示すように、マスク14を用いて半導体基板11を例えば300nm～400nmの深さ、例えば400nmの深さ、幅を例えば240nm程度にエッチングして溝12を形成する。

【0023】さらに、図3の(4)に示すように、上記溝12の内壁を熱酸化して、熱酸化膜23を形成する。ここまでは、従来の技術と同様である。

【0024】次いで、図3の(5)に示すように、窒化シリコン膜からなるマスク14上に成長した酸化膜24をフッ酸で除去する。これは溝12の内壁を酸化したときにわずかではあるが、窒化シリコン膜上にも酸化膜が形成されるため、希フッ酸で数nm程度の酸化膜が除去される程度にエッチングすればよい。このエッチングにおける酸化膜のエッチングレートは、3nm/分程度であるから、エッチング時間は1分程度とすればよい。なお、このエッチングでは、内壁酸化膜23は残る。

【0025】次いで、図3の(6)に示すように、熱リン酸で窒化シリコン膜からなるマスク14を等方的にエッチングする。熱リン酸による窒化シリコン膜のエッチングレートは、4.0nm/分であり、一方、酸化膜のエッチングレートは、0.1nm/分程度である。ここでは、一例として、エッチング量を50nm程度とするためエッチングを12分間行った。この処理により、溝12の開口縁部12eよりマスク14が50nm程度後退することになる。この後退量は、前記図2によって説明したLに相当し、酸化膜のエッチング量、エッチング時間等により適宜決定される。

【0026】その後、図4の(7)に示すように、例えば高密度プラズマCVD膜(以下HDP膜という)により溝12の内部に埋め込むとともにマスク14上にも堆積することで、素子分離絶縁膜13を形成する。HDPはスパッタリングしながらCVDを行うため、エッジ部分には堆積せずに、溝12の底部とアクティブ領域の上面に堆積されるため、最終的な形状はエッジ部分が傾斜する。さらに本発明で、マスク14の開口部15を広げることにより、半導体基板11とマスク14との界面にも良質なHDP膜がCVDされることになる。

【0027】その後、広いアクティブ領域部分をドライエッチング等によって除去し、図4の(8)に示すように、素子分離絶縁膜13の表面を例えばCMPによって

平坦にする。その際、窒化シリコン膜からなるマスク14が研磨ストッパとなる。

【0028】次に、熱リン酸で窒化シリコン膜からなるマスク14を完全に除去する。その結果、図4の(9)に示すように、溝12内を埋め込む素子分離絶縁膜13は、溝12の開口縁部12eを覆う状態に形成される。

【0029】その後、パッド酸化膜21を、例えば希フッ酸を用いたウェットエッチングにより除去する。このパッド酸化膜21を除去するときには素子分離絶縁膜13もエッチングされていく。本発明では、溝12の開口縁部12eが素子分離絶縁膜13で厚く被覆されているため、パッド酸化膜21を除去しても、半導体基板11よりも素子分離絶縁膜13が落ち込むことはない。

【0030】次いで、図4の(10)に示すように、半導体基板11の表面に犠牲酸化膜22を形成する。その後、各種イオン注入を行う。次いで半導体基板11の表面の犠牲酸化膜22を、例えば希フッ酸を用いたウェットエッチングにより除去する。その際、素子分離絶縁膜13の上層もエッチングされる。

【0031】その後、図4の(11)に示すように、半導体基板11の表面にゲート酸化膜25を形成する。上記犠牲酸化膜22でさらに素子分離絶縁膜13が膜減りしてゲート酸化膜25を形成した後に、半導体基板11の表面と素子分離絶縁膜13の表面とがほぼ平坦化される。その後、従来の技術により、ゲートや配線を形成して半導体装置が完成される。

【0032】上記説明したように、本発明の製造方法によれば、複雑な加工なしに溝12の開口縁部12eの内側における素子分離絶縁膜13の落ち込みを抑制することができる。そのため、前記説明した課題が解決されて、トランジスタのキンクや逆狭チャネル効果が抑制され、安定的に素子形成を行うことが可能になる。

【0033】上記製造方法で示した各数値は一例であって、その数値に限定されることはなく、適宜選択することが可能である。

【0034】

【発明の効果】以上、説明したように本発明によれば、溝を埋め込む状態にかつ溝の開口縁部を覆う状態に素子分離絶縁膜を形成した後、半導体基板に形成される酸化膜とともに素子分離絶縁膜の上層をエッチング除去するので、各酸化膜をエッチング除去する際には、溝の開口縁部は素子分離絶縁膜により被覆することができる。そのたえ、開口縁部近傍の溝内部の素子分離絶縁膜が過剰にエッチングされて、配線基板よりも低く落ち込むことがなくなる。このように、複雑な加工なしに溝の開口縁部における素子分離絶縁膜の落ち込みを抑制することができるので、トランジスタのキンクや逆狭チャネル効果を抑制することが可能になり、安定的に素子形成を行うことが可能になる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法に係わる第1の実施の形態を示す製造工程図である。

【図2】溝および素子分離絶縁膜の形成方法の一例を示す第2の実施の形態の製造工程図である。

【図3】実施の形態に示した製造方法によりトレンチ素子分離を形成する具体例を示す製造工程図である。

【図4】実施の形態に示した製造方法によりトレンチ素子分離を形成する具体例を示す製造工程図（続き）であ

る。

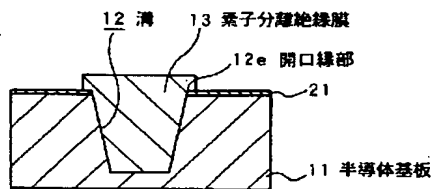
【図5】従来のトレンチ素子分離の形成方法を示す製造工程図である。

【図6】課題の説明図である。

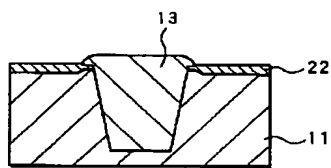
【符号の説明】

11…半導体基板、12…溝、13…素子分離絶縁膜、  
12e…開口縁部

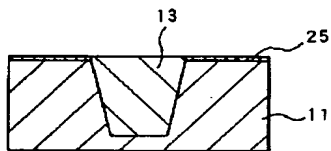
【図1】



(1)

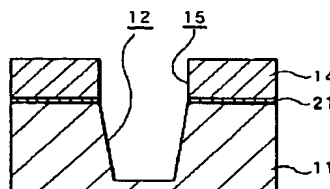


(2)

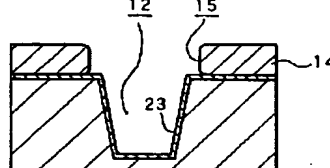


(3)

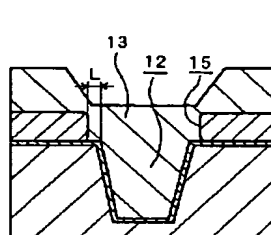
【図2】



(1)

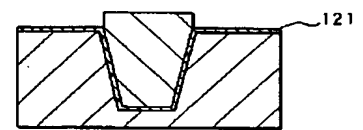


(2)

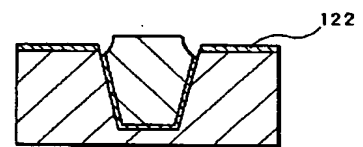


(3)

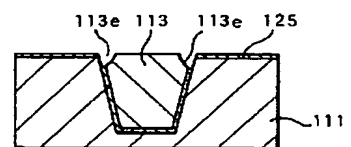
【図6】



(1)

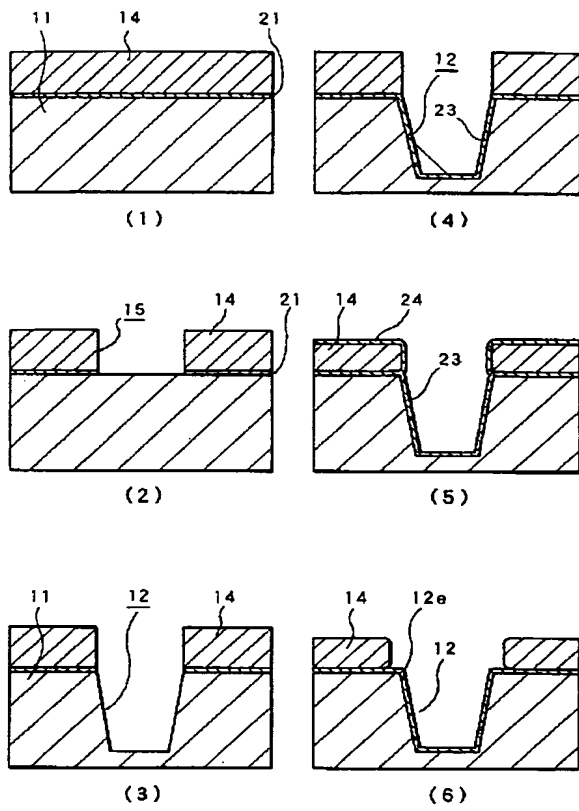


(2)

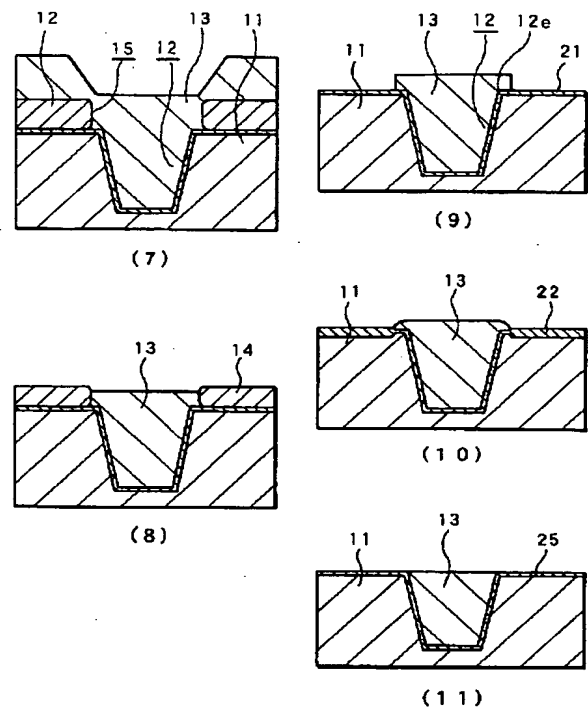


(3)

【図 3】



【図 4】



【図 5】

